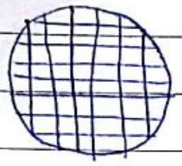


ترانزیستور

«آزمایشگاه سیار معماری»

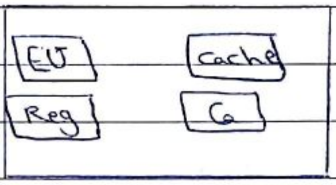
VHDL : زبان توصیف سخت افزار

Very high speed integrated circute

V Hardware Definition language

تمام مراحل طراحی، تست و ساخت همش بر عهده‌ی طراح

سه روش طراحی
- full custom
- library (ASIC)
- FPGA



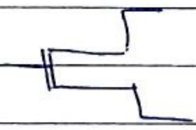
a	b	cin	sum	cout
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

$$C_{out} = ab + b\,c_{in} + a\,c_{in}$$

$$sum = a \oplus b \oplus c_{in}$$

FPGA: F → Field, P → programable, G → Gate, A → Array

مزیت های ترانزیستور:
۱- سرعت بالا
۲- فضای کم
۳- مقاومت در برابر نویز



نسل
- DTL
- RTL
- TTL
- Mosfet
- Cmos

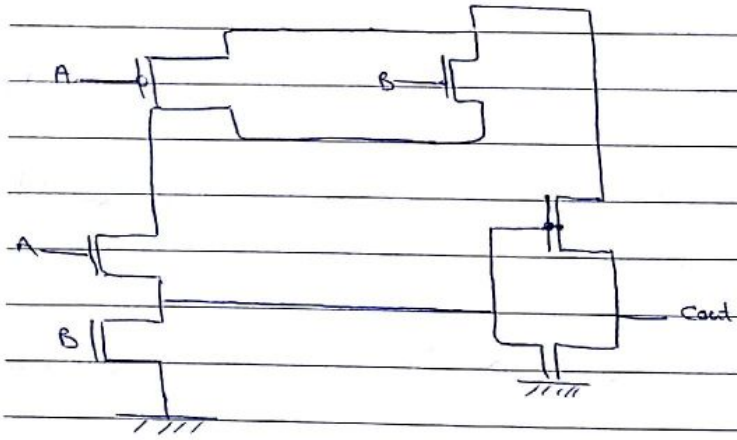
Mosfet / Cmos: نوع P ، نوع N

نوع n : ۰: قطع ، ۱: وصل

نوع P : ۱: قطع ، ۰: وصل

Subject .... Date ....

پیاده سازی AND با ترانزیستور:



تا اینجا روش اول یعنی full custom بود. (پر هزینه)

FPGA ← چیزی که استفاده می کنیم ← کم هزینه

← ۲- خام (program نشده)

IC شرکت های تولید : Xilix

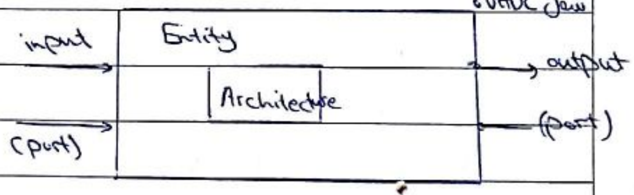
Altra ← استفاده از نرم افزارهای مختلف برای شبیه سازی که همه مربوط به ... (خام هستند) و چیپ را استفاده کنیم

Actel

نرم افزار توصیف سخت افزاری ← Model Sim

شکل VHDL:

input → Port یا سیگنال (S) out

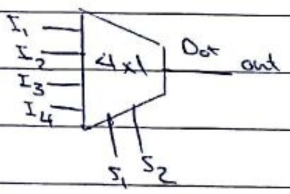


Library نام کتابخانه ieee → از ماژول های کتابخانه ای استفاده می کنیم که با زدن نام باید به همراه نوشت

use Package نام → std_logic1164

Entity نام موجودیت طرح is

Port (پورت های خروجی پورت های ورودی)



سیگنال ← در تراشه‌ها تغییر برنامه ... و حفظ می کنن

انواع IC : ← تجاری : از سیلیکون می سازند.

← نظامی : باید مقاومت بیشتری داشته باشد ← از سرامیک می سازند.

Scanned by CamScanner

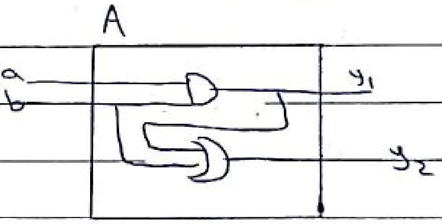
نکته: ورودی یا خروجی هایی که از جنس باینری هستند و تنها میتوانند به یکی از دو سطح منطقی یا سطحی را خواهند داشت.

ولتاژی ≈ ۰٫۷ ← سطح ۰

≈ 5 ← سطح ۱

⇐ کلام استاد: مصرف جریان در مدار است جریان به سمت صفر میل کند: مهم

* در نوشتن کدهای VHDL داخل معماری ترتیب مهم نیست چون تمام خطوط همزمان اجرا میشود.




```
Entity hadder-1 is
  port
  (   a, b : in bit;
       y1 : buffer bit ;
       y2 : out bit ;)
  end
  architecture a of hadder1.
  begin
     y1 <= a and b;
     y2 <= (y1) or b;
  end ;
```

بافر ← از پورت خروجی برای سیگنال گرفتن در قسمت داخلی استفاده شده است.

* inout : پورت هایی که هم به عنوان خروجی و هم به عنوان ورودی (باس ها)

مثال/ bus_1 : inout bit ;

* سیگنال: به هر اتصال یا سیم داخل معماری، سیگنال گفته میشود.

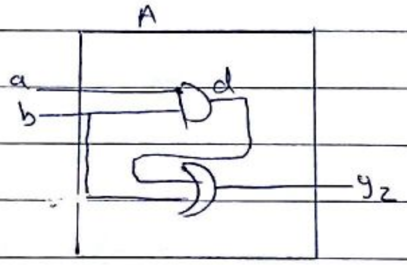
signal اسم سیگنال : نوع سیگنال ;

شکل صفحه بعد ←

Scanned by CamScanner

Subject .... Date ....

```
Entity A is
port
( a, b : in bit ;
  y2 : out bit ;)
end ;
architecture a of A
    → signal d: bit;
begin
  d <= a and b;
  y2 <= d or b ;
end;
```



$y_2 <= (a \text{ and } b) \text{ or } b$

مثال:

برنامه‌ای با VHDL بنویسید برای مداری که اگر s برابر صفر باشد خروجی f برابر a شود و اگر s برابر یک باشد خروجی f برابر b شود. (با فرض تک بیتی بودن a و b)

a, b, S → ورودی

f → خروجی

s	a	b	f
0	-	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

```
Entity A is
port
( a, b, S: in bit ;        -- input
     f : out bit ; )       -- output
end ;
architecture a of A
begin
f <= (a and Not(S)) or (b and S) ;   -- outp signal
end;
```

* برای نوشتن توضیحات در VHDL از (--) استفاده می‌شود.

Scanned by CamScanner

Subject .... Date ....

* شرایط نامگذاری پورت ها و سیگنال ها:

۱ـ می توانند از حروف ، اعداد و (_) باشند.

۲ـ حتماً باید با حروف شروع شود

۳ـ از کلمات رزرو شده VHDL نباشند.

۴ـ حداکثر ۱۶ کاراکتر باشد.

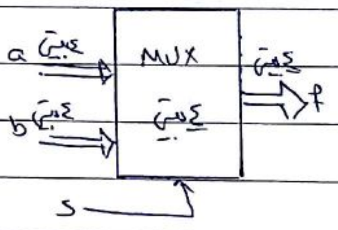
* VHDL به حروف بزرگ و کوچک حساس نیست

If یا iF یا IF یا if

* هر خط کد VHDL با (;) تمام می شود.
سمیکالن

کد VHDL برای مالتی پلکسر ۴ بیتی:

```
Entity A is
 port
 (  a,b : in bit_vector (3 downto 0) ;
      S : in bit;
       f : out bit_vector ( 3 downto 0) ; )
  end;
  architecture a of A
  begin
  if (S=0) then f <= a else f <= b ;
  end;
```



اگر S=0 ، f برابر می شود با a

" S=1 ، " b

نوشتن کد به صورت رفتاری

* اگر پورت یا سیگنال بیشتر از یک بیت باشد به صورت آرایه تعریف می شود.

b: inout bit_vector (7 downto 0) ;   مثلاً b ۸ بیتی

" " " (0 to 7) ;

سمت چپ پر ارزش ترین ... سمت راست کم ...

7 → با ارزش ترین بیت ، 0 → کم ارزش ترین بیت

a_3 a_2 a_1 a_0

a = 1010   مثلاً   a(2 downto 1) <= b(2 to 3)

b = 1100

a(2) <= b(2)
a(1) <= b(3)

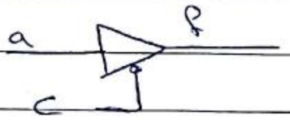
clips

Subject .... Date ....

f <= a and b after 5ns;

delay

مثال: دو عدد a و b ۴ بیتی رو با هم مقایسه کند اگر مساوی بودند خروجی ۱ شود، اگر نامساوی بودند خروجی ۰ شود.



c=0 f=a

c=1 f= امپدانس بالا

```
Entity A is
  port (a,b : in bit_vector(3 downto 0);
        f : out bit;
        end;
  architecture a of A
  begin
  if (a=b) then f<='1' else f<='0';
  end;
```

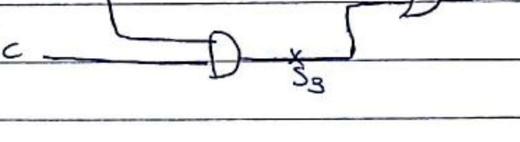
اگر متغیر ما چند بیتی باشد f <= "1" ← جمله غلط است

سه توصیف مدلسازی:

۱- مدلسازی جریان داده — Data Flow

۲- مدلسازی رفتاری — Behavioural

۳- مدلسازی ساختاری — Structural



برنامه صفحه بعد

clips
Scanned by CamScanner

Subject .... Date ....

library ieee ;

use ....

Entity test7 is

port (a, b, c : inbit ; f : out bit);

end test7;

Architecture Dataflow of

test7 is

signal S_1, S_2, S_3 : bit;

begin

S_1 <= not b;

S_2 <= a and S1;

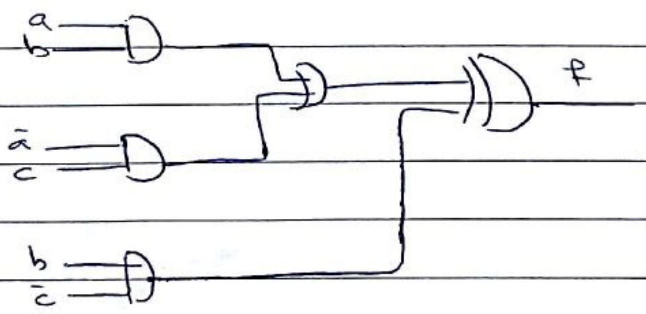
S_3 <= b and c;

f <= S_2 and S_3;

end;

Save → compile → design / loading design ——→ view / signal → Edit / value

view / wave → Run



Scanned by CamScanner